

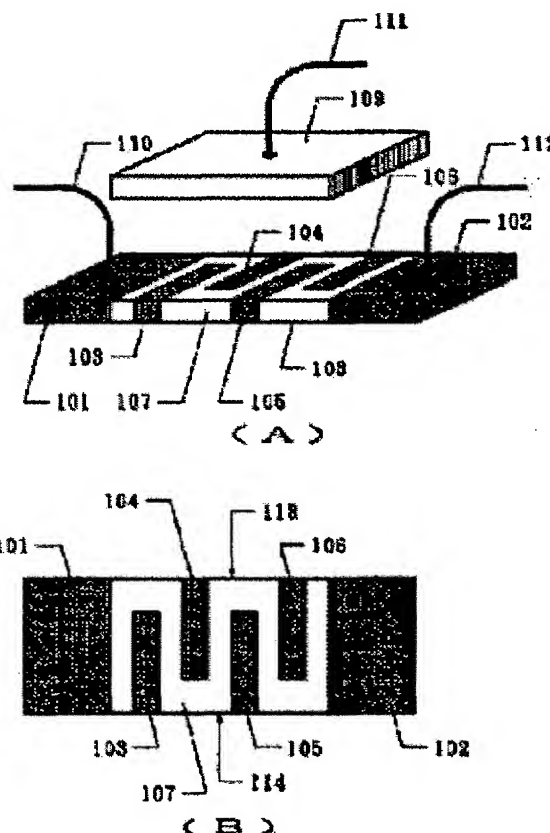
THIN FILM SEMICONDUCTOR DEVICE

Patent number: JP9162414
Publication date: 1997-06-20
Inventor: YAMAZAKI SHUNPEI; KOYAMA JUN; TAKEMURA YASUHIKO
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- international: G02F1/136; G02F1/1368; H01L21/336; H01L29/786;
G02F1/13; H01L21/02; H01L29/66; (IPC1-7):
H01L29/786; G02F1/136; H01L21/336
- european:
Application number: JP19950344496 19951204
Priority number(s): JP19950344496 19951204

Report a data error here

Abstract of JP9162414

PROBLEM TO BE SOLVED: To reduce leakage current in an insulated gate thin film semiconductor device. **SOLUTION:** A semiconductor thin film is, besides one-conduction type impurity semiconductor area (a source area 101 and a drain area 102) connected to a source electrode-wiring 110 and a drain electrode-wiring 112, provided with a plurality of impurity semiconductor areas (floating island areas) 103-106 which are the same as the impurity area and separated from the source area 101 and the drain area 102 by an intrinsic semiconductor area or a reverse-conductive impurity semiconductor area (a base area 107) and the periphery of the semiconductor thin film. And a gate electrode 109 is provided at least at the top of bottom of the base area 107 with a gate insulation film in between. By such a constitution as this, ON/OFF ratio of a thin film transistor is increased.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-162414

(43) 公開日 平成9年(1997)6月20日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 8 C
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 21/336			H 0 1 L 29/78	6 1 6 M

審査請求 未請求 請求項の数11 F D (全 12 頁)

(21) 出願番号 特願平7-344496

(22) 出願日 平成7年(1995)12月4日

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 竹村 保彦

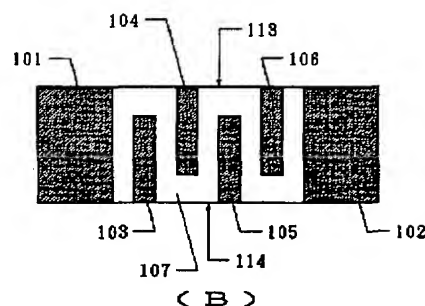
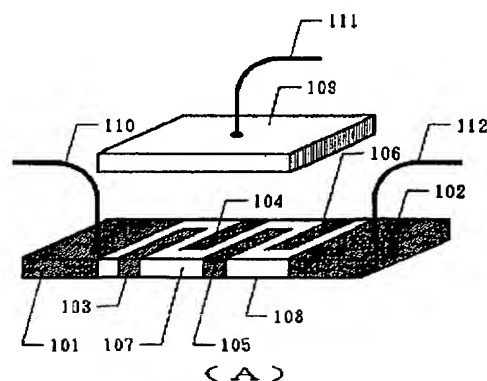
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 薄膜半導体装置

(57) 【要約】

【目的】 絶縁ゲイト型薄膜半導体装置において、リーク電流の低減を図る。

【構成】 半導体薄膜は、ソース電極・配線、ドレイン電極・配線と接続した一導電型不純物半導体領域（ソース領域、ドレイン領域）以外に、該不純物領域と同一で、かつ、真性半導体領域もしくは逆導電型の不純物半導体領域（ベース領域）や該半導体薄膜の外縁によって、前記ソース領域、ドレイン領域と分離される不純物半導体領域（浮島領域）を複数有する。そして、少なくともベース領域の上もしくは下にゲイト絶縁膜を介してゲイト電極を設ける。このような構成により薄膜トランジスタのON/OFF比を増大できる。



【特許請求の範囲】

【請求項1】 少なくとも、薄膜半導体と、ゲイト絶縁膜と、ゲイト電極とを有する薄膜半導体装置において、前記薄膜半導体は、第1の外縁および第2の外縁を含む閉じた線によって島状に分離形成され、

また、前記薄膜半導体は、ソース電極・配線の接続された第1の導電型を呈するソース領域と、

ドレイン電極・配線の接続された第1の導電型を呈するドレイン領域と、

前記ソース領域およびドレイン領域の間に存在し、真性もしくは第1の導電型とは逆の導電型を呈するベース領域と、

第1の導電型で、前記ベース領域および第1の外縁によって囲まれた第1の浮島領域と、

第1の導電型で、前記ベース領域および第2の外縁によって囲まれた第2の浮島領域と、を有し、

前記ベース領域の上もしくは下には、ゲイト絶縁膜を介して、ゲイト電極が設けられており、

前記第1および第2の外縁は、いずれもソース領域とドレイン領域を結ぶ線分もしくは曲線で定義されることを特徴とする薄膜半導体装置。

【請求項2】 少なくとも、薄膜半導体と、ゲイト絶縁膜と、ゲイト電極とを有する薄膜半導体装置において、前記薄膜半導体は、島状に分離形成され、

かつ、前記薄膜半導体は、

ソース電極・配線の接続された第1の導電型を呈するソース領域と、

ドレイン電極・配線の接続された第1の導電型を呈するドレイン領域と、

前記ソース領域およびドレイン領域の間に存在し、真性もしくは第1の導電型とは逆の導電型を呈するベース領域と、

第1の導電型で、前記ソース領域とドレイン領域とは前記ベース領域によって分離された浮島領域とを有し、

前記ベース領域の上もしくは下には、ゲイト絶縁膜を介して、ゲイト電極が設けられており、

前記ベース領域のみを経由して前記ソース領域からドレイン領域へ至る最短距離は、ベース領域と浮島領域を経由して前記ソース領域からドレイン領域へ至る最短距離よりも大きいことを特徴とする薄膜半導体装置。

【請求項3】 少なくとも、薄膜半導体と、ゲイト絶縁膜と、ゲイト電極とを有する薄膜半導体装置において、前記薄膜半導体は、島状に分離形成され、

また、前記薄膜半導体は、

ソース電極・配線の接続された第1の導電型を呈するソース領域と、

ドレイン電極・配線の接続された第1の導電型を呈するドレイン領域と、

前記ソース領域からドレイン領域へつながる、真性もしくは第1の導電型とは逆の導電型を呈するベース領域と、

第1の導電型で、前記ベース領域によって前記ソース領域とドレイン領域から分離された浮島領域とを有し、前記ベース領域の上もしくは下には、ゲイト絶縁膜を介して、ゲイト電極が設けられていることを特徴とする薄膜半導体装置。

【請求項4】 少なくとも、薄膜半導体と、ゲイト絶縁膜と、ゲイト電極とを有する薄膜半導体装置において、前記薄膜半導体は、島状に分離形成され、

また、前記薄膜半導体は、

ソース電極・配線の接続された第1の導電型を呈するソース領域と、

ドレイン電極・配線の接続された第1の導電型を呈するドレイン領域と、

真性もしくは第1の導電型とは逆の導電型を呈する唯一のベース領域と、

第1の導電型で、前記ベース領域によって前記ソース領域とドレイン領域から分離された浮島領域とを有し、

前記ベース領域の上もしくは下には、ゲイト絶縁膜を介して、ゲイト電極が設けられていることを特徴とする薄膜半導体装置。

【請求項5】 少なくとも、薄膜半導体と、ゲイト絶縁膜と、ゲイト電極とを有する薄膜半導体装置において、前記薄膜半導体は、島状に分離形成され、

また、前記薄膜半導体は、

ソース電極・配線の接続された第1の導電型を呈するソース領域と、

ドレイン電極・配線の接続された第1の導電型を呈するドレイン領域と、

前記ソース領域からドレイン領域へつながる、真性もしくは第1の導電型とは逆の導電型を呈するベース領域と、

第1の導電型で、前記ソース領域とドレイン領域とは前記ベース領域によって分離された浮島領域とのみからなり、

前記ベース領域の上もしくは下には、ゲイト絶縁膜を介して、ゲイト電極が設けられており、

前記ベース領域の面積をベース領域のみを経由して前記ソース領域からドレイン領域へ至る最短経路長により除した値が、前記薄膜半導体のソース領域とドレイン領域以外の面積を前記ソース領域からドレイン領域へ至る最短経路長により除した値よりも小さいことを特徴とする薄膜半導体装置。

【請求項6】 ベース領域上をソース領域からドレイン領域へ至る経路の平均幅が、前記薄膜半導体上をソース領域からドレイン領域へ至る経路の平均幅よりも小さいことを特徴とする請求項3の薄膜半導体装置。

【請求項7】 浮島領域は、第1の導電型を呈せしめる

不純物を拡散させることによって形成されたこと特徴とする請求項1乃至請求項5の薄膜半導体装置。

【請求項8】 薄膜半導体は、第1の主面と第2の主面を有し、浮島領域は、第1の主面に含まれる面と第2の主面に含まれる面の双方を有していることを特徴とする請求項1乃至請求項5の薄膜半導体装置。

【請求項9】 ベース領域は、ゲイト電極の薄膜半導体上もしくは下の部分の形状と、実質的に同じであることを特徴とする請求項1乃至5の薄膜半導体装置。

【請求項10】 ソース領域、ドレイン領域、浮島領域はゲイト電極部をマスクとした自己整合的な不純物のドーピング法によっておこなわれたことを特徴とする請求項1乃至5の薄膜半導体装置。

【請求項11】 浮島領域とベース領域の境界部に、意図的に浮島領域よりも低濃度の第1の導電型の不純物を有する領域が設けられたことを特徴とする請求項1乃至5の薄膜半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁表面上に形成された非単結晶半導体を用いた薄膜集積回路およびそれに用いる回路素子、例えば、薄膜トランジスタ(TFT)の構造に関するものである。本発明において絶縁表面とは、絶縁体表面以外に、半導体や金属の表面に設けられた絶縁層をも意味する。すなわち、本発明によって作製される集積回路および薄膜トランジスタは、ガラス等の絶縁基板上に形成されたものだけでなく、単結晶シリコン等の半導体基板上に形成された絶縁体の上に形成されたものも含む。

【0002】

【従来の技術】TFTのごとき薄膜半導体装置は、絶縁表面上に実質的に真性な薄膜半導体領域(活性層)を島状に形成した後、ゲイト絶縁膜として、CVD法やスパッタ法によって絶縁被膜を形成し、その上にゲイト電極を形成して得られる。逆に、ゲイト電極を先に形成し、その上にゲイト絶縁膜と活性層を形成する場合もある。前者の場合においては、ソース領域/ドレイン領域は、真性な薄膜半導体においてN型もしくはP型の不純物を拡散(ドーピング)せしめて形成される。後者の方法においても不純物拡散の方法が用いられることもあるが、別にN型もしくはP型の半導体被膜を形成する方法が一般的である。

【0003】従来のTFTは、N型もしくはP型のソース領域/ドレイン領域と実質的に真性導電型のチャンネル領域と、チャンネル領域の上にゲイト絶縁膜とゲイト電極とを有し、ソース領域とドレイン領域には、外部との電気的な接続を取るために、配線・電極(それぞれ、ソース電極・配線、ドレイン電極・配線と称する)が接続され、これらとゲイト電極の3端子によって制御されるものである。

【0004】特に回路によっては、ソース領域とドレイン領域の区別は明確でないので、以下の記述では、ソース領域、ドレイン領域とは、回路に基づく区別ではなく、任意に設定できるものとする。すなわち、任意にソース領域と設定された領域でない、端子の接続されるN型もしくはP型の領域が、ドレイン領域と定義される。近年、TFTの電界移動度を高める必要から、活性層の半導体として、アモルファス半導体に代えて、結晶性半導体を用いることが試みられている。

10 【0005】

【発明が解決しようする課題】このような非単結晶の半導体、中でも結晶性の非単結晶半導体(例えば、多結晶シリコン)を用いたTFTにおける最大の問題点はリーク電流(OFF電流)が大きいことであった。すなわち、ゲイト電極に電圧が印加されていない、もしくは逆の電圧が印加されている際(非選択状態、OFF状態)には、チャンネル(電流通路)が形成されないのに、電流は流れないはずである。しかしながら、実際には、単結晶半導体において通常、観察されるリーク電流以上の電流が見られた。したがって、この現象は非単結晶半導体に特有のものと考えられる。

20

【0006】このような大きなリーク電流は、特にダイナミックな動作(電荷保持等)の要求される用途において問題であった。また、スタティックな動作の要求される用途においても、消費電力を増加させるため、好ましいことではなかった。TFTの大きな用途として期待されている液晶ディスプレイ等のアクティブマトリクス回路においては、TFTはマトリクスに設けられた画素のスイッチングトランジスタとして動作するが、その際には、画素電極やその補助のコンデンサ(保持容量)に蓄積された電荷がリークしないことが必要とされたが、リーク電流が大きいと十分な時間、電荷を保持することができなかった。

30

【0007】従来、リーク電流が低減するには、チャンネル長を長くするか、または、チャンネル幅を小さくすることが有効であると考えられていた。しかし、こうすると、リーク電流の絶対値は小さくなるものの、ゲイト電極に電圧が印加されている際(選択状態、ON状態)のドレイン電流(ON電流)も同様に小さくなり、必要とする動作がおこなえない場合があった。すなわち、この方法ではドレイン電流とリーク電流の比率(ON/OFF比)を向上させることはできなかった。本発明は、このような問題を鑑みてなされたものであり、非単結晶半導体を活性層に用いたTFTにおいて、リーク電流を低減するとともに、ON/OFF比を改善する方法を提供することを目的とする。

40

【0008】

【発明を解決するための手段】本発明は、薄膜半導体と、ゲイト絶縁膜と、ゲイト電極を有する薄膜半導体に関する。本発明では、従来のTFTにはなかったベース

50

領域と浮島領域というものを設ける。ベース領域は従来のチャンネル領域に近いものであるが、厳密に一致するものではないので、本発明の説明においては別名とする。また、以下の本発明においては、ベース領域の定義は微妙に異なる。しかしながら、本発明のもととなる薄膜半導体装置においては、前記薄膜半導体は分離形成され、かつ、ソース領域、ドレイン領域を有する。さらに、前記ベース領域の上もしくは下に、ゲイト絶縁膜を介して、ゲイト電極が設けられている。

【0009】本発明の第1は、このような薄膜半導体装置において以下の(1)～(3)の条件を満足する。

(1) 薄膜半導体は、第1の外縁および第2の外縁を含む閉じた線によって島状に分離形成されている。

(2) 薄膜半導体は、ソース領域およびドレイン領域の間に存在し、真性もしくはソース/ドレイン領域の導電型とは逆の導電型を呈するベース領域と、ソース/ドレイン領域と同じ導電型で、ベース領域および第1の外縁によって囲まれた第1の浮島領域と、やはり同じ導電型で、ベース領域および第2の外縁によって囲まれた第2の浮島領域と、を有する。

(3) 前記第1および第2の外縁は、いずれもソース領域とドレイン領域を結ぶ線分もしくは曲線で定義される

【0010】本発明の第2は以下の(4)および(5)の条件を満足する。

(4) 薄膜半導体は、ソース領域およびドレイン領域の間に存在し、真性もしくはソース/ドレイン領域とは逆の導電型を呈するベース領域と、ソース/ドレイン領域と同じ導電型で、ソース領域とドレイン領域とは前記ベース領域によって分離された浮島領域と、を有する。

(5) ベース領域のみを経由してソース領域からドレイン領域へ至る最短距離は、ベース領域と浮島領域を経由して前記ソース領域からドレイン領域へ至る最短距離よりも大きい。

【0011】本発明の第3は以下の(6)の条件を満足する。

(6) 薄膜半導体は、ソース領域からドレイン領域へつながる、真性もしくはソース/ドレイン領域とは逆の導電型を呈するベース領域と、ソース/ドレイン領域と同じ導電型で、ベース領域によってソース領域とドレイン領域から分離された浮島領域とを有する。本発明の第4は以下の(7)の条件を満足する。

(7) 薄膜半導体は、真性もしくはソース/ドレイン領域とは逆の導電型を呈する唯一のベース領域と、ソース/ドレイン領域と同じ導電型で、ベース領域によってソース領域とドレイン領域から分離された浮島領域とを有する。

【0012】本発明の第5は以下の(8)および(9)の条件を満足する。

(8) 薄膜半導体は、ソース領域、ドレイン領域と、ソース領域からドレイン領域へつながる、真性もしくはソ

ース/ドレイン領域とは逆の導電型を呈するベース領域と、ソース/ドレイン領域と同じ導電型で、ソース領域とドレイン領域とはベース領域によって分離された浮島領域のみからなる。

(9) ベース領域の面積をベース領域のみを経由してソース領域からドレイン領域へ至る最短経路長により除した値が、薄膜半導体のソース領域とドレイン領域以外の面積をソース領域からドレイン領域へ至る最短経路長により除した値よりも小さい。

10 【0013】本発明の第3に関しては、以下の条件を付加してもよい。

(10) ベース領域上をソース領域からドレイン領域へ至る経路の平均幅が、薄膜半導体上をソース領域からドレイン領域へ至る経路の平均幅よりも小さい。この規定は上記(9)と同様に電流(この場合はリーク電流)の流れる幅に対する規定である。ただし、本発明の第3においては、薄膜半導体には、ソース領域、ドレイン領域、ベース領域、浮島領域以外にも定義されていない領域が存在する可能性もあるので、(9)の定義を付加することは難しい。

20 【0014】本発明の第1乃至第5のいずれかにおいて、

(11) 薄膜半導体は、第1の主面と第2の主面を有し、浮島領域は、第1の主面に含まれる面と第2の主面に含まれる面の双方を有している。という条件を付加してもよい。薄膜半導体は、平面的であるので、通常、上面と下面という2つの主面を有する。上記(11)の条件は、浮島領域が、第1の主面(例えば、上面)と第2の主面(例えば、下面)に露出していなければならないことを規定する。

30 【0015】浮島領域の形成が不純物の拡散(ドーピング)によっておこなわれるのであれば、通常、不純物の拡散は上面からおこなっても、容易に下面にまで至り、かつ、生産プロセスにおいては、そのことを前提として拡散条件が設定されるので、上記(11)の条件は自動的に満たされるものとなる。したがって、上記(11)は、

(12) 浮島領域は、不純物を拡散させることによって形成された。と読み代えることもできる。

40 【0016】さらに、本発明においては、ベース領域のみを電氣的に制御できればよいので、ゲイト電極は、浮島領域の上もしくは下に存在する必要はない。したがって、下記の条件を本発明の第1乃至第5に付加してもよい。

(13) ベース領域は、ゲイト電極の薄膜半導体上もしくは下の部分の形状とが、実質的に同じである。

50 【0017】このように、ベース領域とゲイト電極の形状をほぼ同じとするには、ゲイト電極をマスクとした自己整合的な不純物拡散技術が用いられる。この場合には、ゲイト電極そのものだけではなく、例えば、ゲイト

電極の側面に異方性エッチングによって形成した側壁等も不純物拡散のマスクとして使用されることがあるので、以下、ゲイト電極部と称する。このような条件を本発明の第1乃至第5に付加してもよい。

(14) ソース領域、ドレイン領域、浮島領域はゲイト電極部をマスクとした自己整合的な不純物のドーピング法によっておこなわれた。

【0018】本発明と公知の低能度不純物領域(LD)技術とを組み合わせてもよいので、下記の条件を本発明の第1乃至第5に付加してもよい。

(15) 浮島領域とベース領域の境界部に、意図的に浮島領域よりも低濃度の第1の導電型の不純物を有する領域が設けられた。

【0019】

【作用】本発明の第1乃至第5では、いずれも従来のTFTのチャネル領域に相当する部分にベース領域と浮島領域を設けるものである。非選択(OFF)状態について考えれば、ソース領域からドレイン領域へのリーク電流の流れは、その間に存在する浮島領域を横断することは考えにくい。これは、ベース領域と浮島領域の間には大きなポテンシャルバリアが形成されるためである。このため、リーク電流は主としてベース領域を流れる。

【0020】しかしながら、ベース領域は、浮島領域が存在するために、その幅(平均的な幅)は、従来のチャネル領域よりも狭いものであり、また、ソース領域からドレイン領域へ至る経路も短くなる可能性がある。したがって、浮島領域が存在するために、非選択状態の実質的なチャネル長はより長く、チャネル幅はより短くすることができる。このため、リーク電流は低減する。

【0021】次に選択(ON)状態について考えると、ベース領域は、ゲイト電極に電圧が印加されたため、反転し、ベース領域と浮島領域間のポテンシャルバリアは小さくなり、(ドレイン)電流は、ベース領域だけではなく、逆に、浮島領域を横断して流れるようになる。なぜならば、浮島領域を横断した方が距離が短いためである。すなわち、選択状態においては、実質的なチャネル長は、非選択状態より短く、かつ、チャネル幅は大きくなる。このため、ドレイン電流は増大する。このようにして、ON/OFF比を増大させることが可能となる。非選択状態の実質的なチャネル長をより長くするには、以下の実施例からも明らかなように、浮島領域の数を2以上、好ましくは、3以上とするとよい。同様に実質的なチャネル幅をより狭くするには、浮島領域の間隔を可能な限り狭めるとよい。

【0022】また、上記条件(11)について、説明を加えるために、条件(11)を満たさない図6のような構造の半導体装置について考察する。図6に示されるように浮島領域602、603が第1の主面604に含まれる面を有している(第1の主面604に露出してい

ない(第2の主面604に露出していない)場合には、リーク電流は、図に矢印で示されるように、ベース領域601のうち、浮島領域602、603を迂回して流れるもの以外に、浮島領域の下を流れるものが生じる。したがって、リーク電流抑制の効果が減殺されてしまう。したがって、本発明の第1乃至第5において、条件(11)を付加するとより、本発明の効果が顕著となる。

【0023】

【実施例】

10 【実施例1】 図1に本発明の1実施例を示す。図1

(A)は本実施例の半導体装置の概略を示したものである。薄膜半導体108には、同じ層内にソース領域101、ドレイン領域102、浮島領域103~106、ベース領域107が形成される。ここで、ソース/ドレイン領域、浮島領域の導電型はN型とするために、 $100 \sim 20000 \text{ \AA}$ の真性多結晶シリコン膜に燐を $1 \times 10^{12} \sim 1 \times 10^{14} \text{ 原子/cm}^2$ 、好ましくは、 $3 \times 10^{12} \sim 3 \times 10^{13} \text{ 原子/cm}^2$ 、例えば、 $1 \times 10^{13} \text{ 原子/cm}^2$ のドーザ量で選択的にドーピングする。一方、ベース領域にはドーピングはおこなわず、そのため、ベース領域107の導電型は真性である。

20

【0024】ソース領域101にはソース配線・電極110を、また、ドレイン領域102にはドレイン配線・電極112を形成する。そして、ゲイト絶縁膜(図示せず)を介して、その上にゲイト電極109を形成する。ゲイト電極は、そのままゲイト配線111と電気的に接続される。このような半導体装置の薄膜半導体108を上方より見た図面を図1(B)に示す。ここで、ソース領域101とドレイン領域102を結ぶ線分113、114はそれぞれ、第1の外縁、第2の外縁と定義される。

30

【0025】このような構造を有する装置は本発明の第1乃至第5の条件を満たす。例えば、本発明の第1に関しては、薄膜半導体108は、第1の外縁113および第2の外縁114を含む閉じた線によって島状に分離形成されているので、条件(1)を満たす。また、薄膜半導体108は、ソース領域101およびドレイン領域102の間に存在し、真性のベース領域107と、ソース/ドレイン領域と同じN型で、ベース領域107および第1の外縁113によって囲まれた第1の浮島領域104と、やはりN型で、ベース領域107および第2の外縁114によって囲まれた第2の浮島領域105と、を有するので、条件(2)を満たす。

40

【0026】そして、上記のとおり、第1および第2の外縁113、114は、いずれもソース領域101とドレイン領域102を結ぶ線分で定義される。したがって、図1に示された半導体装置は本発明の第1の半導体装置である。同様に本発明の第2に関しても、薄膜半導体108は、N型のソース領域101およびドレイン領域102の間に存在し、真性のベース領域107と、N

50

型ので、ソース領域101とドレイン領域102とはベース領域107によって分離された浮島領域103~106を有するので、条件(4)を満たす。

【0027】さらに、ベース領域107のみを経由してソース領域101からドレイン領域102へ至る最短距離は、ベース領域107と浮島領域103~107(すなわち、薄膜半導体108のソース領域101とドレイン領域102以外の部分全て)を経由して前記ソース領域からドレイン領域へ至る最短距離の約2.07倍であるので、条件(5)を満たす。したがって、図1に示された半導体装置は本発明の第2の半導体装置である。

【0028】同様に本発明の第3に関して、薄膜半導体108は、N型のソース領域101からドレイン領域102へつながる、真性のベース領域107と、ベース領域107によってソース領域101とドレイン領域102から分離されたN型の浮島領域103とを有するので、条件(6)を満たす。したがって、図1に示された半導体装置は本発明の第3の半導体装置である。また、ベース領域上をソース領域からドレイン領域へ至る経路の平均幅は、薄膜半導体上をソース領域からドレイン領域へ至る平均幅(ここではW)の約1/6であるので、上記条件(10)をも満たす。

【0029】同様に本発明の第4に関して、薄膜半導体108は、真性のベース領域107をただ一つ有し、また、ソース/ドレイン領域と同じN型で、ベース領域107によってソース領域101とドレイン領域102から分離された浮島領域105とを有するので、条件

(7)を満たす。したがって、図1に示された半導体装置は本発明の第4の半導体装置である。

【0030】同様に本発明の第5に関して、薄膜半導体108は、ソース領域101、ドレイン領域102と、ソース領域からドレイン領域へつながる真性のベース領域107と、ソース/ドレイン領域と同じN型で、ソース領域とドレイン領域とはベース領域によって分離された浮島領域103~106のみからなるので、条件(8)を満たす。

【0031】さらに、ベース領域107の面積をベース領域のみを経由してソース領域からドレイン領域へ至る最短経路長により除した値は、薄膜半導体108のソース領域とドレイン領域以外の面積をソース領域からドレイン領域へ至る最短経路長により除した値の約1/3なので、条件(9)を満たす。したがって、図1に示された半導体装置は本発明の第5の半導体装置である。

【0032】本実施例での電流の流れを図4(A)および図4(B)に示す。図4(A)は非選択(OFF)状態を示したもので、流れる電流はリーク電流である。図の矢印に示されるようにリーク電流は、非選択状態では、浮島領域の間をかいくぐるように、ベース領域をジグザグにソース領域からドレイン領域へ流れる。この場合、見掛けのチャンネルの大きさは長さL、幅Wだが、実

際のリーク電流の流れに基づく、実質的なチャンネルの大きさは、見掛けのチャンネル長よりも長く、チャンネル幅よりも狭い。(図4(A))

【0033】一方、選択(ON)状態では、ベース領域がゲート電極に印加された電圧によって反転し、すなわち、ベース領域が浮島領域と同じN型となり、したがって、ドレイン電流は浮島を横断して流れる。したがって、選択状態では実質的なチャンネルの大きさは、ほぼ見掛けのチャンネルの大きさと同程度である。(図4

10 (B))

例えば、非選択状態と同じ状況を実現させるには、同じデザインルールを用いても、図1(B)から浮島領域103~106を除去した構造のものを作製すればよい。すなわち、チャンネルがジグザグに配置され、チャンネル長が極めて長くなったTFT(図4(E))ができる。

【0034】しかしながら、このようなTFTでは、選択状態に本実施例の半導体装置のような大きなドレイン電流を流すことはできない。これは、従来のTFTが選択状態でも非選択状態でも実質的なチャンネルが幾何学的なチャンネルと同じためである。これに対し、本実施例や他の実施例でも明らかなように、本発明では、選択状態と非選択状態で実質的なチャンネルが大きく変化することを特徴とし、よって、ON/OFF比を大きくできる。LとWの値をそのままにデザインルールを最適化して設計すると、本実施例と同様な構造の半導体装置のON/OFF比は、図4(E)のTFTの15倍のON/OFF比を得ることができる。

【0035】よりON/OFF比を向上させるには、W/Lをより大きくすればよい。かくすると、非選択状態においては、実質的なチャンネル長が増加する一方、選択状態においてはチャンネル幅が増加するので、リーク電流は減少し、ドレイン電流は増加する。かくすることにより、非選択状態における実質的なチャンネル長を選択状態におけるものの5~50倍に、非選択状態における実質的なチャンネル幅を選択状態におけるものの1/2~1/20倍にすることも可能であり、この結果、ON/OFF比を、100倍にまで拡大できる。

【0036】〔実施例2〕 図2に本発明の1実施例を示す。図2(A)は本実施例の半導体装置の概略を示したものである。薄膜半導体208には、同じ層内にソース領域201、ドレイン領域202、浮島領域203~206、ベース領域207が形成される。ここで、ソース/ドレイン領域、浮島領域の導電型はP型とするために、100~20000Åの真性多結晶シリコン膜に硼素を $1 \times 10^{18} \sim 1 \times 10^{22}$ 原子/cm³、好ましくは、 $3 \times 10^{20} \sim 3 \times 10^{21}$ 原子/cm³、例えば、 1×10^{21} 原子/cm³の濃度で選択的にドーピングする。一方、ベース領域にはドーピングはおこなわず、そのため、ベース領域207の導電型は真性である。

50 【0037】ソース領域201にはソース配線・電極2

10を、また、ドレイン領域202にはドレイン配線・電極212を形成する。そして、ゲイト絶縁膜(図示せず)を介して、その上にゲイト電極209を形成する。ゲイト電極は、そのままゲイト配線211と電気的に接続される。本実施例では、本発明の条件(13)もしくは(14)を満たす構成をした。すなわち、ゲイト電極の薄膜半導体上に存在する部分の形状は、ベース領域207の形状と実質的に同じである。

【0038】このような構造を得る方法を図2(B)および図2(C)を用いて説明する。まず、何らドーピングのされていない薄膜半導体208上にゲイト絶縁膜を介して、ゲイト電極209を形成するが、その際には、浮島領域を形成する部分にホール213~216を形成しておく。(図2(B))

【0039】その後、不純物のドーピングをおこない、薄膜半導体領域にP型の領域を形成する。このようにして、ソース領域201、ドレイン領域202、浮島領域203~206が形成される。しかし、薄膜半導体領域でも、ゲイト電極209の下部分には意図的にはドーピングされないで、真性なままで、これはベース領域となる。(図2(C))

ゲイト電極の形状を別にすれば、本実施例の半導体装置は、実施例1の半導体装置と同じ構造であり、動作も全く同じである。

【0040】〔実施例3〕 図3に本発明の1実施例を示す。図3は本実施例の半導体装置の作製プロセスの概略を示したものである。左側が上から見た模式図(上面図)、右側が上面図のA-A'での断面図である。まず、真性の薄膜半導体301を形成し、これを覆って、ゲイト絶縁膜302を厚さ1000~20000Åの酸化珪素もしくは窒化珪素で形成する。(図3(A))

【0041】さらに、アルミニウム、タンタル、チタン、モリブデン、タングステン、シリコン等の材料によってゲイト電極303を形成する。(図3(B))

そして、このゲイト電極をマスクとして、自己整合的に燐もしくは硼素をイオン注入法等の方法で、薄膜半導体301中に導入する。このようにして、ソース領域304、ドレイン領域305、浮島領域306~308が形成される。ゲイト電極の下薄膜半導体には不純物が導入されないで、真性のままで、この部分はベース領域となる。(図3(C))

【0042】本実施例での電流の流れを図4(C)および図4(D)に示す。図4(C)は非選択(OFF)状態を示したもので、流れる電流はリーク電流である。図の矢印に示されるようにリーク電流は、非選択状態では、浮島領域の間をかいくぐるように、ベース領域をジグザグにソース領域からドレイン領域へ流れる。この場合、実質的なチャンネルの長は、見掛けのチャンネル長よりも長く、実質的なチャンネル幅は、見掛けのチャンネル幅よりも狭い。(図4(C))

【0043】一方、選択(ON)状態では、ベース領域がゲイト電極に印加された電圧によって反転し、すなわち、ベース領域が浮島領域と同じ導電型となり、したがって、ドレイン電流は浮島を横断して流れる。したがって、選択状態では実質的なチャンネルの大きさは、ほぼ見掛けのチャンネルの大きさと同程度である。(図4(D))

【0044】〔実施例4〕 図5に本発明のいくつかの実施例を示す。図5(C)は従来のTFETの概念図である。すなわち、島状の薄膜半導体に、ソース領域521とドレイン領域522の間に意図的にN型もしくはP型の不純物がドーピングされていない真性のチャンネル領域523を形成し、チャンネル領域をゲイト電極で制御することにより、ソース領域とドレイン領域の間を矢印のように電流を流すものである。非選択状態においても矢印のように、ソース領域からドレイン領域へリーク電流が流れる。ここで、第1の外縁524および第2の外縁525はソース領域521とドレイン領域522を結ぶ曲線であり、島状薄膜半導体は、外縁524、525を含む閉じた線によって分離形成されたものである。このようなTFETにおいては、浮島領域が存在しないので、本発明のいずれでもない。(図5(C))

【0045】しかしながら、チャンネル領域に浮島領域を形成したものは、本発明となる。図5(A)では、ソース領域501、ドレイン領域502以外に、浮島領域504、505を設け、その間をベース領域503としたものである。このような構造の薄膜半導体装置は、図1のものと実質的に同じであるので、実施例1と同様、本発明の第1乃至第5を満たす。(図5(A))

【0046】図5(B)も本発明の一例である。しかし、浮島領域は514、515と2つ存在するものの、いずれの浮島領域も第1の外縁とベース領域513によって囲まれているので、本発明の第1で要件とされる条件(2)を満たさず、本発明の第1ではない。また、ベース領域513のみを経由してソース領域511からドレイン領域512へ至る最短距離は、ベース領域と浮島領域514、515を経由して前記ソース領域からドレイン領域へ至る最短距離よりも大きくはないので、本発明の第2で要件とされる条件(5)を満たさず、本発明の第2でもない。

【0047】しかし、薄膜半導体は、ソース領域511からドレイン領域512へつながる、真性のベース領域513と、ソース/ドレイン領域と同じ導電型で、ベース領域によってソース領域とドレイン領域から分離された浮島領域514、515を有するので、上記条件

(6)を満たす。したがって、本発明の第3である。加えて、ベース領域上をソース領域からドレイン領域へ至る経路の平均幅は、薄膜半導体上をソース領域からドレイン領域へ至る経路の平均幅おおよそ1/3となるので、上記条件(10)をも満たす。さらに、薄膜半導体は、唯

一の真性のベース領域513と、浮島領域514、515とを有するので、上記条件(7)を満たす。したがって、本発明の第4である。

【0048】また、薄膜半導体は、ソース領域511、ドレイン領域512と、ソース領域からドレイン領域へつながる、真性のベース領域513と、浮島領域514、515のみからなるので、上記条件(8)を満たす。そして、ベース領域513の面積を、ベース領域513のみを経由してソース領域511からドレイン領域512へ至る最短経路長(図5(B)においては、この値は、ソース領域からドレイン領域へ至る最短経路長とほぼ同じである)により除した値が、薄膜半導体のソース領域511とドレイン領域512以外の面積(すなわち、ベース領域513と浮島領域514、515の面積の和)をソース領域からドレイン領域へ至る最短経路長により除した値よりも小さいので、上記条件(9)を満たす。したがって、本発明の第5である。

【0049】非選択状態の実質的なチャネル長は、図の矢印に示されるリーク電流の流れる距離であり、図から明かなように図5(B)に示される構造の半導体装置は、図5(A)に示されるものに比較して、非選択状態の実質的なチャネル長は大きくないし、また、選択状態の実質的なチャネル長に比較しても大きくない。本発明の第1および第2は非選択状態の実質的なチャネル長が、選択状態の実質的なチャネル長よりも大きなことを要求しているので、本発明の第1および第2には該当しないのは当然である。

【0050】しかしながら、図5(B)に示される半導体装置が、図5(C)に示される従来のTFTとリーク電流が変わらないわけではない。最大の理由は、浮島領域514、515が形成されたため、選択状態の実質的なチャネル幅に比較して、非選択状態の実質的なチャネル幅が減少することである。このことにより、リーク電流を抑制することができる。本発明の第3乃至第5は、非選択状態の実質的なチャネル幅が、選択状態の実質的なチャネル幅よりも小さいことを要求しているので、本発明の第3乃至第5には該当する。

【0051】次に図5(D)のような半導体素子について考える。ここで、ソース領域531、ドレイン領域532、浮島領域535以外に、それらと同じ導電型の領域536が設けられ、かつ領域536には、いかなる電極・配線も接続されない。そして、真性の領域533と534が形成される。このような構造の装置においては、領域536は、第1の外縁とベース領域に相当する領域533、534だけでなく、第2の外縁にも囲まれているので、上記条件(2)を満たさず、したがって、本発明の第1ではない。

【0052】さらに、ベース領域に相当する真性の領域533と534が分離しているので、ベース領域のみを経由してソース領域からドレイン領域へ至ることができ

ない(必ず、領域536を通過することとなる)ので、ベース領域のみを経由してソース領域からドレイン領域へ至る最短距離という概念がなく、すなわち、上記条件(5)を満たさないので、本発明の第2でもない。

【0053】また、ベース領域に相当する真性の領域533もしくは534のいずれも、領域536で分断されているため、ソース領域からドレイン領域へつながることがなく、したがって、上記条件(6)および(8)を満たさず、本発明の第3および第5ではない。そして、ベース領域に相当する真性の領域は2つあるので、上記条件(7)を満たさず、本発明の第4でもない。したがって、図5(D)のような構造の半導体装置は本発明のいずれでもない。ただし、領域536に電極・配線が接続されると、これはソース領域もしくはドレイン領域とされ、構造的には浮島領域が1つである以外は、図5(B)と実質的に同じとなるので、本発明の第3乃至第5を満たす。(図5(D))

【0054】〔実施例5〕 図7に本発明のいくつかの実施例を示す。図7(A)の構造の半導体装置は、ソース領域701、ドレイン領域702の間に浮島領域704(いずれもN型)と、真性のベース領域703を有する。このような装置においては浮島領域が1つしかないので、本発明の第1の要件、条件(2)を満たさず、したがって、本発明の第1ではない。しかしながら、選択状態のドレイン電流の流れは、図の点線の矢印で示されるものである一方、浮島領域703が存在するために、非選択状態のリーク電流の経路は図の実線の矢印で示したもののようになり、すなわち、非選択状態の実質的なチャネル長(実線矢印)が、選択状態の実質的なチャネル長(点線矢印)より長く、したがって、条件(5)を満たし、本発明の第2である。

【0055】この効果をより顕著にするには、図7(B)に示されるように、浮島領域をT字型にすればよい。以上の例から明らかにされることは、浮島領域が選択状態のドレイン電流の経路に設けられると、非選択状態にはリーク電流は浮島領域を避けて流れる必要から、その経路長がより長くなり、したがって、よりリーク電流が減少するということである。図では、浮島領域は十分に大きな面積を有しているように描かれているが、非常に小さな面積のものであっても、その配置が適切であると、リーク電流低減の上で極めて有効である。(図7)

【0056】〔実施例6〕 図8に本発明の1実施例を示す。図8の構造の半導体装置は、いずれもP型のソース領域801とドレイン領域802、浮島領域804、805と、弱いN型のベース領域803を有する。これらは条件(4)、(8)を満たす。非選択状態のリーク電流は、矢印に示したように流れる。このような半導体装置においては、条件(3)を満たすような外縁が存在しないので、図8の装置は本発明の第1ではない。

【0057】しかし、ベース領域803のみを経由してソース領域801からドレイン領域802へ至る最短距離は、ベース領域803と浮島領域804、805を経由して前記ソース領域からドレイン領域へ至る最短距離よりも大きいので、条件(5)を満足し、本発明の第2である。同様に、ベース領域803はソース領域801からドレイン領域802へつながる唯一のものであるので、条件(6)、(7)を満たし、本発明の第3および第4である。

【0058】さらに、ベース領域803の面積 s をベース領域のみを経由してソース領域からドレイン領域へ至る最短経路長 l により除した値と、薄膜半導体のソース領域とドレイン領域以外の面積 S をソース領域からドレイン領域へ至る最短経路長 L により除した値とを比較すると、 $s < S$ 、 $l > L$ であることから、 $s/l < S/L$ となり、前者が後者よりも小さく、条件(9)を満たし、したがって、本発明の第5である。このように、ソース領域、ドレイン領域が、その周囲をベース領域によって囲まれていたとしても本発明のリーク電流低減の効果がなくなるわけではない。

【0059】〔実施例7〕 図9および図10に本発明をアクティブマトリクス型表示装置に応用した例を示す。本実施例のアクティブマトリクス型表示装置とは、例えば、液晶表示装置等に用いられる薄膜半導体装置の回路である。図10(A)には、本実施例の回路の単位画素を上面より見たものである。すなわち、ゲイト配線(選択線)981他とデータ線982他が交差するようにマトリクス状に配置され、その間に薄膜半導体983と画素電極984が設けられる。本実施例では、ゲイト線の一部をエッチングすることにより、図4(A)と同

等な形状を得る。この $a-b$ 断面を図9に示す。
【0060】まず、図9(A)について説明する。この例は、側壁形成技術を用いて、オフセット部分を形成するものである。すなわち公知の側壁形成技術によって、ゲイト電極907~910(これらは全て同じ物質である)の側面に絶縁物の側壁911を形成する。そして、このゲイト電極および側壁(併せてゲイト電極部という)をマスクとして、ゲイト絶縁物906を通して、N型不純物イオンを絶縁基板901上の真性の薄膜半導体902に加速して注入し、N型領域903~905を得る。この際、側壁911の下部にはN型不純物が注入されないか、注入量が著しく低いので、オフセット領域912が形成される。このようなオフセット領域を設けることにより、リーク電流を低減できるが、本発明と組み合わせることにより、よりリーク電流の低減を促進できる。

【0061】図9(B)は、公知の側壁形成技術と低濃度不純物領域形成技術を適用した実施例を示す。すなわち、ゲイト電極927~930(これらは全て同じ物質である)をマスクとして、低濃度のN型不純物(濃度

は、ソース/ドレイン領域のもの1/100~1/10000が好ましい)を薄膜半導体922中に注入する(第1のドーピング)。その後、公知の側壁形成技術によって、ゲイト電極927~930の側面に側壁931を形成する。この側壁は導電性のものでも、絶縁物でもよい。

【0062】そして、このゲイト電極および側壁(併せてゲイト電極部という)をマスクとして、ゲイト絶縁物926を通して、N型不純物イオンを絶縁基板921上の真性の薄膜半導体922に加速して注入し、N型領域923~925を得る(第2のドーピング)。第2のドーピングの際、側壁931の下部にはN型不純物が注入されず、したがって、第1のドーピングによって注入された低濃度なものなので、低濃度N型領域932が形成される。このような低濃度N型領域を設けることにより、素子の短チャネル化による劣化を防止できる。。

【0063】この他にも、特開平6-291315公報に記載されているように、ゲイト電極947~950の側面および上面に陽極酸化物被膜951を形成し、これをマスクとして用いることによっても、絶縁基板941上の真性の薄膜半導体942に図9(A)と同様なオフセット領域952をN型領域943~945とベース領域の間に設けることができる。さらに、特開平7-169974公報に記載されているように、側面の陽極酸化技術を用いて、ゲイト絶縁膜966を選択的にエッチングし、これを用いて、絶縁基板961上の真性の薄膜半導体962にN型領域963~965とベース領域の間に低濃度N型領域972を設けてもよい。なお、図10(B)のような回路配置としてもよい。ここでは、ゲイト配線(選択線)991他とデータ線992他が交差するようにマトリクス状に配置され、その間に薄膜半導体993と画素電極994が設けられる。

【0064】〔実施例8〕 図11に本発明の1実施例を示す。図11の構造の半導体装置は、いずれもN型のソース領域121とドレイン領域122、浮島領域123~128と、真性のベース領域129を有する。非選択状態のリーク電流は、矢印に示したように流れる。一方、選択状態には、ベース領域および浮島領域全面をドレイン電流が流れる。非選択状態のリーク電流の経路は何通りかあるが、いずれの場合も、選択状態のドレイン電流の流れに比較すると、経路の長さは長く、幅は狭い。したがって、リーク電流は低減される。

【0065】

【発明の効果】本発明によって、薄膜半導体装置のリーク電流を低減させることが可能となった。本発明の薄膜半導体装置は、特に、ソース領域-ドレイン領域間のリーク電流が低いことの要求される液晶ディスプレイのアクティブマトリクス回路における画素制御用に好ましい。

【0066】従来、リーク電流を低減させる方法として

17

は、TFTを複数直列させる方法（例えば、特公平5-44195、同5-44196）が知られていた。しかし、この方法では、選択状態にTFTが2つ直列に入っているために、取り出せる電流がTFT1つのものの半分でしかないという問題があった。本発明では、半導体素子が直列に接続される構造とはなっていないので、そのような問題点はない。このように本発明は工業上、有益な発明である。

【図面の簡単な説明】

【図1】 実施例1の半導体装置の概念図を示す。

【図2】 実施例2の半導体装置の概念図と作製方法を示す。

【図3】 実施例3の半導体装置の作製方法を示す。

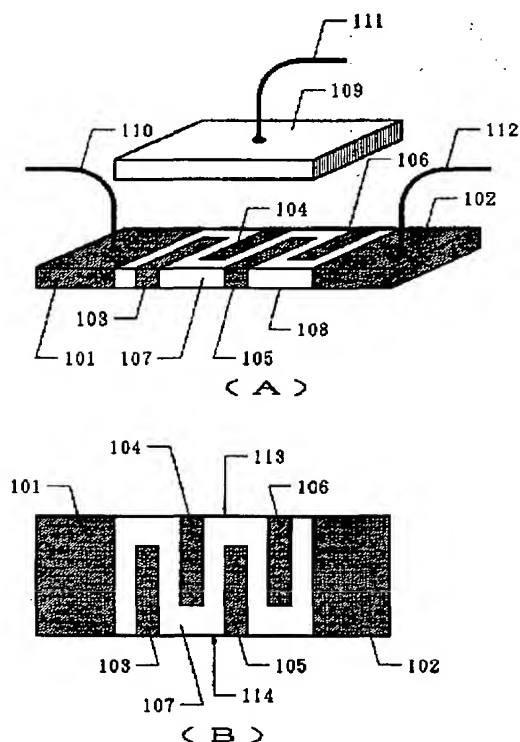
【図4】 実施例1および3の半導体装置の動作原理を示す。

【図5】 実施例4の半導体装置の概念図を示す。

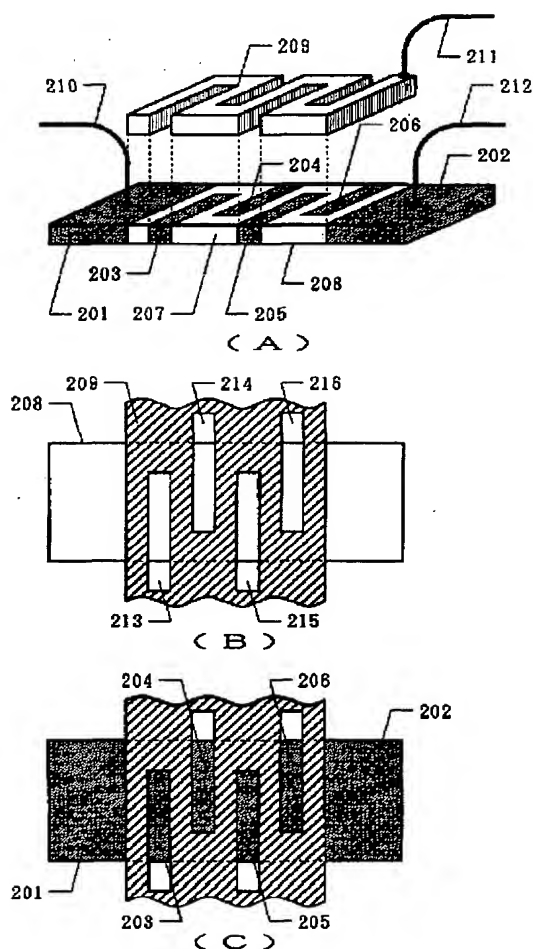
【図6】 本発明の動作原理を示す。

【図7】 実施例5の半導体装置の概念図を示す。

【図1】



【図2】



【図8】 実施例6の半導体装置の概念図を示す。

【図9】 実施例7の半導体装置の断面図を示す。

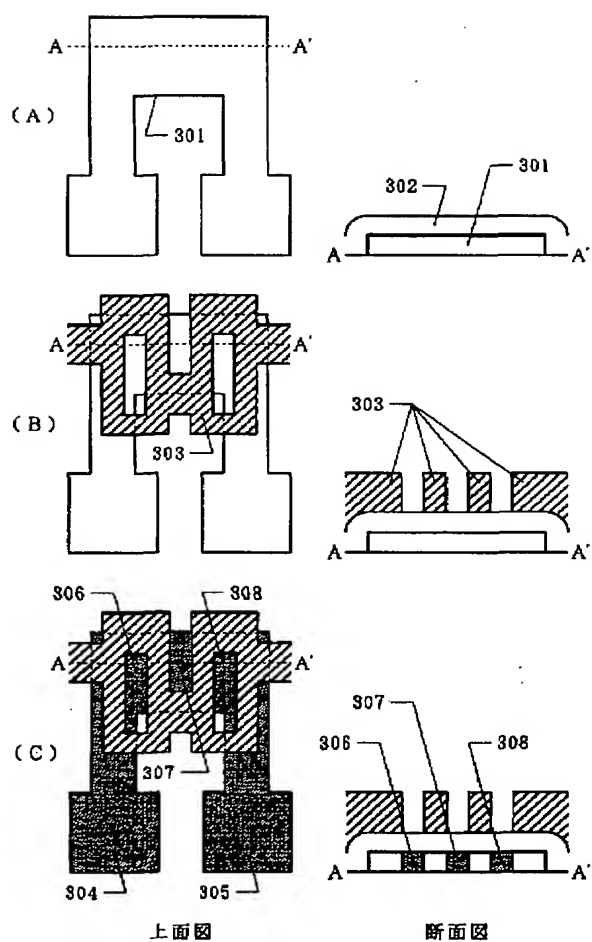
【図10】 実施例7のアクティブマトリクス回路の概略を示す。（上面図）

【図11】 実施例8の6の半導体装置の概念図を示す。

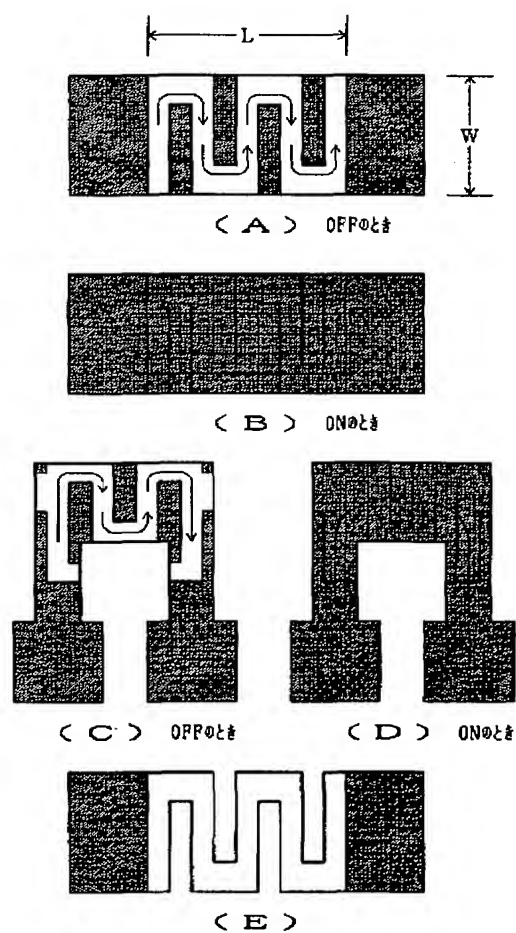
【符号の説明】

- 101・・・ソース領域
- 102・・・ドレイン領域
- 103～106・・・浮島領域極
- 107・・・ベース領域
- 108・・・薄膜半導体
- 109・・・ゲイト電極
- 110・・・ソース配線・電極
- 111・・・ドレイン配線・電極
- 112・・・ゲイト配線
- 113・・・第1の外縁
- 114・・・第2の外縁

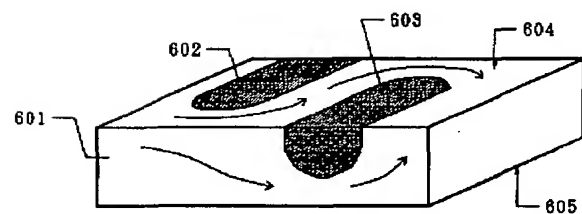
【図3】



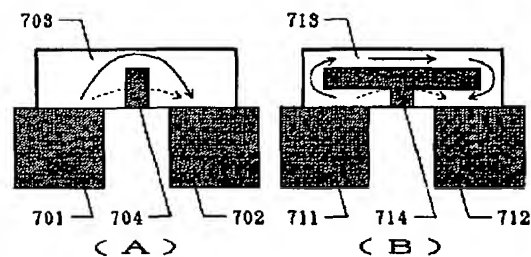
【図4】



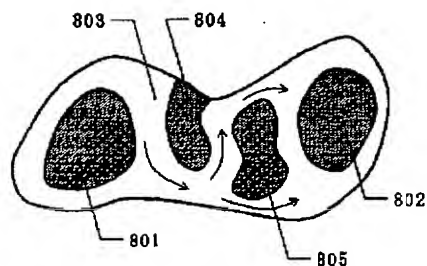
【図6】



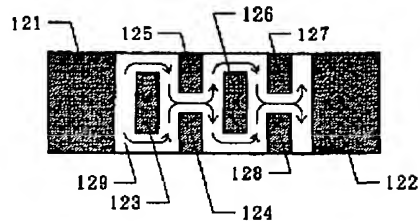
【図7】



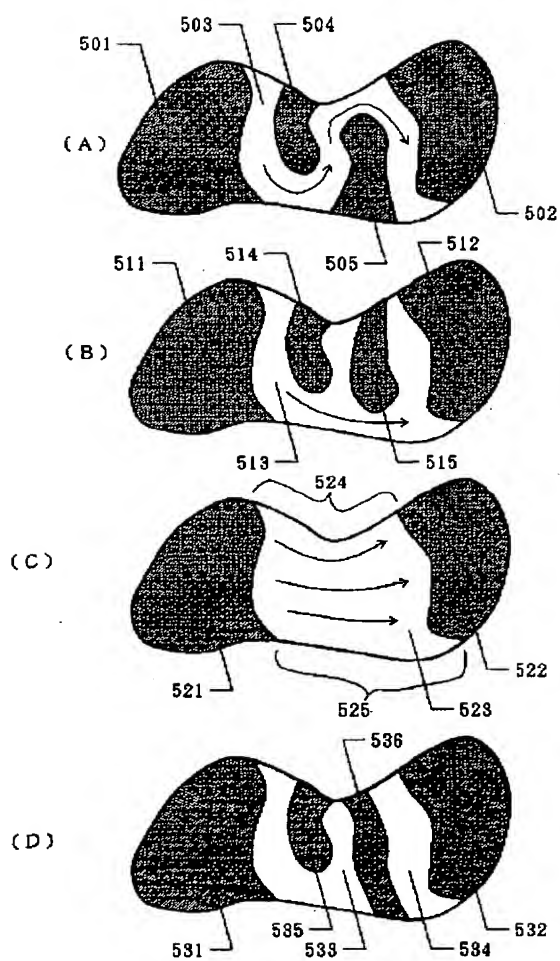
【図8】



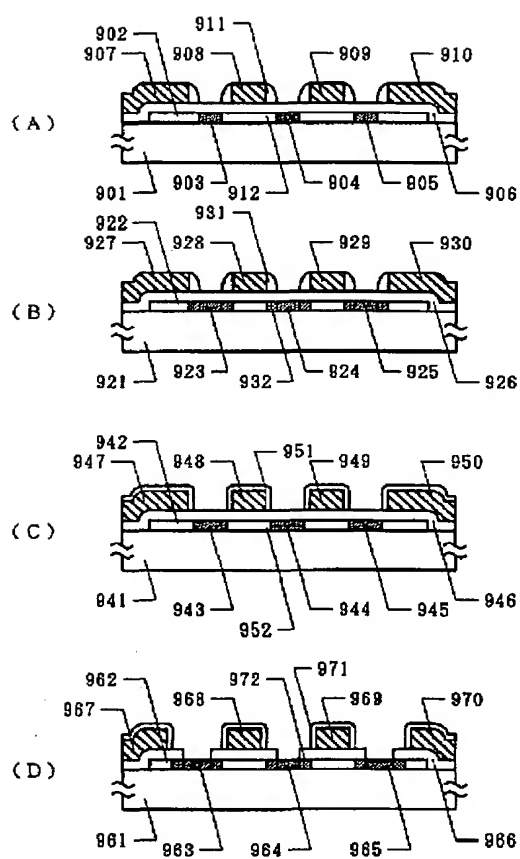
【図11】



【図5】



【図9】



【図10】

